

修 士 論 文 の 和 文 要 旨

大学院 電気通信 研究科		博士前期課程		電子工学 専攻	
氏 名	Christopher Denis NTYANGIRI			学籍番号	0432022
論 文 題 目	差動電圧比較回路に関する研究				
要 旨					
<p>近年、携帯電話やPDAなどの携帯用電子機器のための駆動時間の長期化の必要性がより大きくなり、LSIの低消費電力化は主要な設計上の問題になった。アナログ・デジタル混在LSIには、多くの回路ブロックより構成されているが、比較回路は基本的なブロックの1つであり、低消費電力化が重要である。電圧比較回路は2つのアナログ量を比較し、大小判別結果として“1”又は“0”を出力する。電圧比較回路は1ビットのADコンバータ（ADC：Analog Digital Converter）としてみなすことができる。</p> <p>完全差動回路技術はアナログ回路設計の多くの分野において重要な技術である。この技術はアナログとデジタルの演算処理の両方を行うアナログ・デジタル混在集積回路に特に共通モードノイズの除去に有用である。このような回路において、比較回路はアナログ領域とデジタル領域との間のリンクを行っている。従来では完全差動比較回路はスイッチキャパシタ回路及び差動増幅回路などの組み合わせで構成されていた。この完全差動比較回路は共通モードノイズの除去が成しえたものの、複雑な回路構成でより多く電力の消費といった問題点を抱えている。</p> <p>一方、コンパクトなADCなどの応用においては、任意参照電圧との比較ができることが望ましい。これらの問題を解決するために、文献[1]では比較回路において次の要件が重要であると述べられている。1) 共通モードノイズによる効果を減少させる差動入力構成、2) 任意参照電圧と2つの入力電圧の差分を比較する、3) 差動増幅回路を用いる回路構成より小規模。そして、これらの必要条件を満たすために、2つの入力電圧の差分を検出することができる差動電圧比較回路を提案した。しかし、文献[1]が提案した差動電圧比較回路では検出できる2つの入力電圧の差分は範囲0[V]~0.4[V]（電源電圧3[V]）でかなり狭い。本研究では、より広い範囲の電圧差分が検出できる同時に低消費電力的な差動電圧比較回路を目指す[2]。</p> <p>本研究では、4種類の異なった論理閾値変換回路を代用することを提案し、さらに、それらの回路を用いた差動電圧比較回路を設計する。代用した論理閾値変換回路は、電源電圧のほぼ全範囲にわたって論理回路の論理閾値を線形に制御することが可能である。これらの4個の差動電圧比較回路の中で、利点と欠点を分析し、最も適当な回路を選んでレイアウトを行う。レイアウトから引き出されたパラメタは、より正確なシミュレーションを行うために使用する。新しい差動電圧比較回路では検出できる2つの入力電圧の差分は範囲を広げることができた[2]。文献[1]の結果と比較するためにHSPICEによるシミュレーションで、汎用の0.35μmのCMOSデジタルプロセスパラメータを使う。文献[1]における0.4Vと比べて、検出範囲が1.1Vまで増加し、本研究の目的は達成された。そして、提案された比較器は43.1%より少ない電力を消費する。</p>					
<p>[1]Yasuhiro KOSASAYAMA, Yutaka ARIMA, Masashi UENO, Masafumi KIMATA, Kana HIMEI, Tanemasa ASANO "Differential Voltage (ΔV) Comparator with Variable Channel-Size MOSFET" IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E87A, No. 2, pp.357-363, Feb, 2004.</p> <p>[2]Christopher NTYANGIRI, and Cong Kha PHAM, "A Simple Differential Voltage Comparator," IEICE Technical Report, VLD2005-38, SDM 2005-157, STM05-02, Vol.105, No. 307, pp 5-8, Sept, 2005.</p>					